

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While the topology used as the criteria of clock generation is formed on a truck A clock generation means to be the disk regenerative apparatus which plays the disk with which the training data which synchronized with data were recorded on the head of each data area on said truck, and to generate a clock based on said topology, A clock phase correction means to amend the phase of the clock signal from said clock generation means, The 1st amount calculation means of amendments which computes the 1st amount of amendments which amends the phase shift of the amendment clock signal amended with this clock amendment means, and the data recorded on said data area, and is supplied to said clock amendment means, When playback of said data based on the amendment clock signal which established the 2nd amount calculation means of amendments which computes the 2nd amount of amendments, and was amended based on said 1st amount of amendments is not performed good, The disk regenerative apparatus characterized by supplying said 2nd amount of amendments to said clock amendment means, and generating an amendment clock signal based on said 2nd amount of amendments.

[Claim 2] The disk regenerative apparatus according to claim 1 characterized by said 2nd amount of amendments being the amount of amendments to the data area recorded before the data area concerned.

[Claim 3] The disk regenerative apparatus according to claim 1 characterized by forming the block with which said disk added the error correcting code to the data area containing said at least one or more training data, being recorded, equipping said disk regenerative apparatus with an error correction means to perform correction and detection of a data error based on said error correcting code, and judging the quality of playback of said data based on the result of said error correction means.

[Claim 4] The disk regenerative apparatus according to claim 3 characterized by said 2nd amount of amendments being said average value of the 1st amount of amendments computed based on the training data within the block reproduced before the block concerned.

[Claim 5] The disk regenerative apparatus according to claim 3 characterized by being the integral value to which said 2nd amount of amendments carried out the leak integral of said 1st amount of amendments which the reproduced training data were based and was computed.

[Claim 6] The disk regenerative apparatus according to claim 3 characterized by being the integral value to which said 2nd amount of amendments carried out the leak integral of said all or a part of 1st amount of amendments computed based on the training data within the block concerned.

[Claim 7] The disk regenerative apparatus according to claim 1 to 6 characterized by being made as [give / while said clock generation means consists of phase-locked loops containing a voltage controlled oscillator (VCO) / the offset according to said 1st amount of amendments, or the 2nd amount of amendments of a means for said clock amendment means to be equipped with a means to give offset to the control voltage to said VCO, and to give said offset].

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention generates an external clock based on the regenerative signal of the topology beforehand recorded on the disk, and relates to the disk regenerative apparatus which reproduces data using this external clock.

[0002]

[Description of the Prior Art] Conventionally, in disk media, such as a magneto-optic disk, topology (mark), such as a clock bit and a clock mark, is beforehand formed on the recording track, and the clock for record or playback is generated based on the signal which reproduced this clock bit and clock mark.

[0003] It is drawing showing an example of the magneto-optic disk with which the clock mark was beforehand formed in drawing 2. The spiral slot (groove) is formed in this disk in the predetermined pitch, and record of data is made by the flat-surface section between this groove and the adjoining groove (land).

[0004] On the groove and the land, as shown in drawing 2, it is formed so that a clock mark (FCM:Fine Clock Mark) may be located in a line with a radial. FCM of these and on a groove is the same flat surface as a land, and FCM on a land is the hollow of the same depth as a groove.

[0005] A pulse signal arises with the sensor output to which the reinforcement of a reflective beam will change in the shape of a pulse, consequently will receive a reflective beam at the time of record of data, or playback if a light beam scans this FCM. An external clock is generated by the PLL (PhaseLocked Loop) circuit based on this pulse signal.

[0006] However, when external topology generates a clock in this way, phase gap may arise between the clocks and regenerative signals which were generated by the temperature characteristic of a disk, the various property variations of record conditions or a disk record regenerative apparatus, etc.

[0007] Then, the training data which synchronized with data are recorded on the head of said record unit (field managed in the one address currently beforehand recorded on the disk) by making into a record unit one or more of the data areas (Segment) inserted into one clock mark and clock mark, and it is made as [perform / phase correction of said external clock] based on the regenerative signal of these training data.

[0008] This point is explained further. Like drawing 2, the groove (Groove) and the land (Land) are formed in the disk in the shape of ****, and FCM (Fine Clock Mark) is further formed for every fixed angle of rotation on the groove and the land. Here, from FCM to a certain next FCM is used as a segment (Segment), and it is considering as one record unit. And a series of 39 segments are collected, one frame is constituted, further a series of 16 frames are collected, and one block is constituted. Moreover, to said block, an error correcting code is added and recorded in order to correct or detect the error of playback data.

[0009] Drawing 3 is drawing showing the configuration of the above-mentioned block (Block), and each segment has the data length of 532DCB (Data Clock Bit). In addition, the FCM field where FCM is assigned is set as 12DCBs.

[0010] The head segment in each frame (Segment 0) is for recording the address of the frame concerned, and record of the address is performed by making the amplitude (wobble) of the wall surface of one side of a groove or a land carry out in the direction of a path of a disk according to an address value in an address field (Address). In addition, record and playback of the data based on the photoelectromagnetic effect are not performed to the address field of the segment (Segment 0) concerned, but only address record by the above-mentioned wobble is performed to it.

[0011] It is for the 2nd - the 39th segment (Segment1-Segment38) to record a header and user data from a head. The FCM field (FCM), the PURIRAITO field (Pre-Write), the header field (Header), a data field (Data), and the postlight field (Post-Write) are assigned to the 2nd segment (Segment 1). Moreover, the FCM field (FCM), the PURIRAITO field (Pre-Write), a data field (Data), and the postlight field (Post-Write) are assigned to the 3rd - 39th (Segment2-Segment38). The data clock number of bits of each field is as illustration.

[0012] Data are recorded on the PURIRAITO field (Pre-Write), the header field (Header), a data field (Data), and the postlight field (Post-Write) using the photoelectromagnetic effect.

[0013] A fixed pattern, for example, the data of "0011", to show the beginning of data is recorded on the PURIRAITO (Pre-Write) field among each above-mentioned field. Moreover, it is a fixed pattern to show the conclusion of data in the postlight (Post-Write) field, for example, the data of "1100" are recorded. Furthermore, an error correcting code is added to a data field to the user data from the external source, and the data data stream which performed the digital modulation is recorded on it. The fixed pattern for performing phase correction of the

fixed pattern for checking the starting position of a data field and a playback clock is recorded on a header field. The fixed pattern for phase correction (training data) is formed by repeating the data of "1100" the number of predetermined times. If these training data are reproduced at the time of playback of data, as shown in drawing 4, the playback RF signal of the shape of a sine wave of 4DCB periods will be obtained. Phase correction of a playback clock is performed based on the playback RF signal of these training data.

[0014] Next, the principle of phase correction is explained with reference to drawing 5 - drawing 7.

[0015] The wave signal shown in each drawing is a playback RF signal at the time of reproducing the above-mentioned training data, and the round mark shows the generating timing of a playback clock.

[0016] In addition, when the clock phase of drawing 5 is proper and the clock phase precedes drawing 6 to a playback RF signal, drawing 7 shows the case where the clock phase is delayed to a playback RF signal, respectively, and X_{i-1} , X_i , and X_{i+1} are the sampled values of the playback RF signal sampled to the generating timing of a clock. H Level, C Level, and L Level are the expected value of the playback RF signal level in a peak, a center, and a bottom, respectively.

[0017] ERR is the difference ($ERR = X_i - C \text{ Level}$) of the sampled value X_i near a center and expected value C Level in the playback RF signal of training data, and expresses the amount of phase shifts of a playback RF signal and a clock. That is, when a clock phase is proper (drawing 5), it is set to $ERR = 0$ and both amount of phase gaps is 0. On the other hand, when the clock phase precedes to a playback RF signal (drawing 6), it is set to $ERR < 0$, and it is set to $ERR > 0$ when the clock phase is conversely delayed to a playback RF signal (drawing 7).

[0018] Therefore, the synchronization with a playback RF signal and a clock can be taken now by controlling in the direction which carries forward a clock, if it is ERR ($<$ the direction and $ERR >$ which will delay a clock if it is 0)0, bringing close to the condition which shows in drawing 5, and going.

[0019] However, if a drop out occurs according to the local defect in a training-data field etc. and a playback RF signal deforms like drawing 8, according to this, turbulence will arise in ERR . For example, although a drop out generates drawing 8 when the clock phase precedes to a playback RF signal (equivalent to above-mentioned drawing 7), it is set to $ERR < 0$ in this case, and the polarity with opposite ERR when the drop out has not occurred will be taken.

[0020] Moreover, if the property of the playback RF signal of a training-data field becomes a defect, it will deform like drawing 9. Although a clock phase is delayed to a playback RF signal (equivalent to above-mentioned drawing 8) and a dc component remains, this is set to $ERR > 0$ in spite of having delayed the phase also in this case, and will take the polarity with opposite original ERR .

[0021]

[Problem(s) to be Solved by the Invention] As mentioned above, by the approach training data perform phase adjustment of an external clock signal, phase correction may be made so that gap of a phase may be promoted on the contrary by the defect, degradation of the quality of a regenerative signal, etc. into the record part of the training data concerned.

[0022] For this reason, if it is in the above-mentioned Prior art, the problem of it becoming impossible to reproduce the data of the data area where phase correction is not made good arises.

[0023] Then, let this invention be a plug that it seems that the phase correction which can reproduce data good can be accomplished.

[0024]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, this invention has the following descriptions.

[0025] While the topology used as the criteria of clock generation is formed on a truck, invention concerning claim 1 A clock generation means to be the disk regenerative apparatus which plays the disk with which the training data which synchronized with data were recorded on the head of each data area on said truck, and to generate a clock based on said topology, A clock phase correction means to amend the phase of the clock signal from said clock generation means, The 1st amount calculation means of amendments which computes the 1st amount of amendments which amends the phase shift of the amendment clock signal amended with this clock amendment means, and the data recorded on said data area, and is supplied to said clock amendment means, When playback of said data based on the amendment clock signal which established the 2nd amount calculation means of amendments which computes the 2nd amount of amendments, and was amended based on said 1st amount of amendments is not performed good, Said 2nd amount of amendments is supplied to said clock amendment means, and it is characterized by generating an amendment clock signal based on said 2nd amount of amendments.

[0026] Invention concerning claim 2 is characterized by said 2nd amount of amendments being the amount of amendments to the data area recorded before the data area concerned.

[0027] The block with which said disk added the error correcting code to the data area containing said at least one or more training data is formed, it is recorded, said disk regenerative apparatus is equipped with an error correction means to perform correction and detection of a data error based on said error correcting code, and invention concerning claim 3 is characterized by judging the quality of playback of said data based on the result of said error correction means.

[0028] Invention concerning claim 4 is characterized by said 2nd amount of amendments being said average of the 1st amount of amendments computed based on the training data within the block reproduced before the block concerned.

[0029] Invention concerning claim 5 is characterized by being the integral value to which said 2nd amount of

amendments carried out the leak integral of said 1st amount of amendments which the reproduced training data were based and was computed.

[0030] Invention concerning claim 6 is characterized by being the integral value to which said 2nd amount of amendments carried out the leak integral of said all or a part of 1st amount of amendments computed based on the training data within the block concerned.

[0031] Said clock amendment means is equipped with a means to give offset to the control voltage to said VCO, and invention concerning claim 7 is characterized by being made as [give / the offset according to said 1st amount of amendments, or the 2nd amount of amendments of a means to give said offset] while said clock generation means consists of phase-locked loops containing a voltage controlled oscillator (VCO).

[0032]

[Embodiment of the Invention] Hereafter, with reference to a drawing, it explains per gestalt of implementation of this investigation.

[0033] Drawing 1 is the block diagram showing one example of this invention. In drawing, 101 is the magneto-optic disk explained by drawing 2, and PR (partialness loess BONSU) are adopted as a signal-transmission method. Although an intersymbol interference will occur between adjoining playback RF signals if this raises the recording density of a magneto-optic disk 101, the method which transmits a signal, giving an intersymbol interference without preventing the starting intersymbol interference is a partial response method. Therefore, the playback RF signal of a magneto-optic disk 101 is attained by carrying out Viterbi decoding, after carrying out waveform equalization so that it may mention later, and the sampled value (multiple value) of a playback RF signal may be brought close to an interference wave form in order to obtain "1" or "0" binary playback data from this playback RF signal, since it becomes the playback wave which carried out the intersymbol interference according to PR method [for example, PR (1 1) method].

[0034] 102 is pickup and outputs a playback RF signal and a tangential push pull signal (TPP) by scanning a magneto-optic disk 101 optically. Among this, a playback RF signal is a signal according to the car angle of rotation of the playback beam by the photoelectromagnetic effect, and follows the above-mentioned PR (partial response) method. Moreover, a TPP signal is a signal according to the intensity distribution (intensity distribution of the longitudinal direction in a groove or a land) of the direction of the scanning line in the reflective beam reflected from a disk.

[0035] 103 is a band pass filter (BPF) and removes the high-frequency component turned up in the low frequency component by eccentricity, and the sampling mentioned later low-pass.

[0036] 104 is an A-D converter, is sampled with the amendment clock RCLK which mentions the output of a band pass filter 103 later, and outputs the data of a sampled value (multiple value).

[0037] 105 consists of transversal filters which are waveform equalizers, for example, are filtered so that the interference wave form of PR method may be resembled. With a waveform equalizer 105, a playback RF signal serves as data with a refreshable known intersymbol-interference property.

[0038] 106 is the Viterbi decoder circuit, taking advantage of the property of wave interference of PR method, according to the decode condition before data discernment time of day, performs a binary-ized judging based on the Viterbi algorithm which is a decode algorithm which guesses the statistical probable value, and outputs binary data. Moreover, the Viterbi decoder circuit 106 outputs a timing signal TN to the change timing from "1" in the decoded data to "0."

[0039] 107 is a header appearance circuit, detects the location of the header field of a segment (Segment) 1 from the above-mentioned binary data decoded by the Viterbi decoder circuit 106, and outputs a timing signal to each signal-processing section. Detection of a header field is made by detecting the proper pattern (fixed pattern for checking the starting position of a data field) recorded on the header field.

[0040] 108 is a data demodulator circuit and carries out the digital recovery of the data of the data field of each segment according to the timing signal from the header detector 107.

[0041] It is an error correction circuit, 109 performs error detection and correction of recovery data using the error correcting code added to the data to which it restored, and when there is an error, it outputs it to the regenerative circuit which does not correct and illustrate data. In addition, the error correction circuit 109 also performs the judgment of whether the error beyond the correction capacity of an error correcting code occurred, and outputs the existence of an error, the propriety of correction, etc. to a controller 114.

[0042] 110 is a PLL circuit, and as shown in drawing 10, it consists of the FCM detector 41 which detects FCM from a TPP signal, a phase comparator 42, a voltage controlled oscillator (VCO) 43, and a 532 ** counter 44 that carries out 532 dividing of the output of VCO43. The playback clock PCLK which synchronized with the FCM regenerative signal within the TPP signal from pickup 102 is generated. The TPP signal (refer to drawing 11) containing FCM outputs the detecting signal FA to which the FCM detector 41 takes action at the zero cross time of a sinusoidal form for a playback light beam to serve as a sinusoidal form to the timing which scanned FCM, and the phase comparison of this detecting signal FA is carried out in the output signal FB and phase comparator 42 from the 532 ** counter 44 which carry out 532 dividing of the output signal of VCO43. If phase contrast is produced between Signal FA and Signal FB, the direct current voltage which integrated with this will be supplied to VCO, and the phase of the output signal (playback clock signal) of VCO43 will be adjusted. By this, the PLL circuit 110 will generate the playback clock PCLK with which the phase synchronized with the edge of the center of the above-mentioned sinusoidal form.

[0043] 111 is the amount calculation circuit of amendments, computes the amount ERR of phase shifts from the

output of a waveform equalizer 105 based on the timing signal TN from the Viterbi decoder circuit 106, and outputs the 1st amount SEL1 of amendments which performs phase correction to the playback clock PCLK from the PLL circuit 110 according to this computed amount ERR of phase shifts.

[0044] Calculation of this amount of phase shifts is performed at the period which is reproducing the training data of the header field of the above-mentioned segment (Segment) 1. The timing signal TW which shows the playback period of training data is C of training data from the header appearance circuit 107. It is H about the value of Level. From Level to L The timing which passes towards Level is inputted as a timing signal TN from the Viterbi decoder circuit 106. A sample point (Xi) is equivalent to the changing point from "1" to "0" of the binary data in the Viterbi decoder circuit 106. Therefore, ERR is calculated to the timing into which the timing signal TW which shows a playback period, and the timing signal TN which shows the change timing from "1" to "0" of binary data were inputted.

[0045] 112 is an equalization circuit used as the 2nd amount calculation means of amendments, computes the amount of amendments which equalized the 1st amount SEL1 of amendments from the amount calculation circuit 111 of amendments between the whole term or at a predetermined period, and outputs it within one error correction block as 2nd amount SEL2 of amendments which shows a fixed value. Moreover, the timing signal FP of the frame period for incorporating the initiation timing signal BP of an error correction block and the 1st amount SEL1 of amendments which update the 2nd amount SEL2 of amendments is inputted from the controller 114 mentioned later.

[0046] 113 is clock phase compensator, in response to the selection signal MODE from the controller mentioned later, it chooses either among the 1st amount SEL1 of amendments from the amount calculation circuit 112 of amendments, and the 2nd amount SEL2 of amendments which is the output of the equalization circuit 112, amends the phase of the playback clock PCLK from the PLL circuit 110, and outputs the amendment clock RCLK.

[0047] 114 is a controller, is constituted by a microprocessor or DSP (digital signal processor), and performs synthetic control in a magneto-optic-disk regenerative apparatus.

[0048] If there is a demand of data playback from the outside, a controller 114 is directed to each unit in a disk regenerative apparatus in order to reproduce the demanded block. It directs to obtain the amendment clock RCLK which carried out phase correction in the 1st amount SEL1 of phase corrections computed by the recorded training data to the clock phase compensator 113 with a selection signal MODE.

[0049] or playback of these data does not have an error to the block concerned — or an error — it is also — when it can correct, it ends.

[0050] When it is detected based on the output from the error correction circuit 109 that the error which cannot be corrected exists on the other hand, it is directed that a controller 114 reproduces the block concerned again (retry). At this time, a controller 114 judges that the phase of the playback clock RCLK was not suitable by the defect of training data, and poor playback, and outputs the amendment clock RCLK which was made to reverse a selection signal MODE and was amended in the 2nd amount SEL2 of amendments which is the output of the equalization circuit 112.

[0051] A controller 114 outputs the frame timing signal FP for incorporating the timing signal BP and the 1st amount SEL1 of amendments which show the head of a block to the equalization circuit 112.

[0052] According to the example shown in drawing 1, to the timing to which the disk regenerative apparatus is reproducing training data for example, by having confused the playback RF signal like drawing 8 or drawing 9, and having performed amendment of the mistaken clock When playback of data was not performed good, were held in the equalization circuit 112. The playback clock PCLK is amended according to the 2nd amount SEL2 (average value of the amount of amendments of the clock which was able to perform good playback before the block concerned) of amendments, and a good clock output can be realized also in the block concerned. And when training data are not confused, the 1st amount SEL1 of amendments from the amount calculation circuit 111 of amendments is chosen, and the phase of the playback clock PCLK is amended according to the 1st amount SEL1 of amendments calculated for every frame.

[0053] Drawing 12 is drawing showing an example of the amount calculation circuit 111 of amendments, 51 is a subtractor, and an updown counter and the comparator the gate and 56 judge 57 and, as for 58, the gate and 53 judge [52] value "m", and coincidence/inequality of "0", respectively to be as for a level judging circuit, and 54 and 55, and 59 is an edge detector.

[0054] 51 is a subtractor, subtracts a dc component (C Level) from the inputted sample data Din, and outputs the amount ERR of phase shifts. 52 is the gate, considers as an input the timing signal TN which shows the changing point from "1" to "0" of the sampling data Din from the Viterbi decoder circuit 106, and the timing signal TW which shows the training data field from the header detecting element 107, and outputs the timing signal which shows the location of Xi in drawing 5 - drawing 7. 53 operates according to the above-mentioned timing signal which is a level judging circuit and is the output of the gate 52, and the amount ERR of phase shifts is within the limits of predetermined (namely, within the limits which does not affect data playback), or it judges whether it is more than the range or it is below the range.

[0055] For example, A-D converter 104 is 8-bit precision, it supposes that the RF signal was inputted in about 80% of the effective range of A-D converter 104, and supposing the gain of nT:2T (n>=3) is about 5:4 (80%), the predetermined range where an amendment clock is settled in the range of less than **10 degrees will be set to |ERR|<=16.

[0056] And only when there is the amount ERR of phase shifts out of range [predetermined], an actuating signal is

outputted to the gates 54 and 55. Under the present circumstances, when ERR is smaller than the predetermined range, a rise command (UP) is emitted to an updown counter 56 through the gate 54, and when ERR is larger than the predetermined range, a down command (DOWN) is emitted to an updown counter 56 through the gate 55. 54 is the gate, and when a rise command and the signal from a comparator 58 are in high level (an inequality, $<m$) from the level judging circuit 51, it outputs a rise command to an updown counter 56.

[0057] 55 is the gate, and when a down command and the signal from a comparator 57 are in high level (an inequality, >0) from the level judging circuit 51, it outputs a down command to an updown counter 56.

[0058] 57 — 58 — a comparator — it is — a clock — phase compensator — 113 — amendment — being possible — amendment — an amount — an upper limit — it is — a value — " — m — " — a minimum — it is — a value — " — zero — " — a comparison result — respectively — outputting. The value of an updown counter 56 functions as a limiter it is made not to deviate from the range of $0 - m$, and each comparator outputs a control signal, when the value of a counter 56 amounts to value "m" or "0." 56 is an updown counter, and if a command signal of operation is inputted from the gate 52 and a rise command or a down command is inputted from the level judging circuit 53, only 1 will count up or count down counted value and it will output the 1st amount SEL1 of amendments which is counted value.

[0059] 59 is an edge detector, makes the timing signal preceded with the timing signal TW, and supplies it to the INIT terminal of an updown counter 56. If the output of the edge detector 59 is inputted into an INIT terminal, as for an updown counter 56, initial value (integral value of the $m/2$ neighborhood) will be set. That is, initial value will be set up whenever a training data field is detected.

[0060] This actuation is explained with reference to drawing 13 which shows change of the 1st amount of amendments, and change of ERR.

[0061] If the timing signal from the edge detector 59 is supplied to the INIT terminal of an updown counter 56, initial value (integral value of the $m/2$ neighborhood) will be set as 1st amount SEL1 of amendments. And the level of ERR is judged according to the timing signal which shows the location of Xi in drawing 5 - drawing 7, and the counted value of an updown counter 56 is changed. It is being completed as zero by ERR in this case as the 1st amount SEL1 of amendments becomes small, so that clearly from drawing.

[0062] In addition, although the example of the amount calculation circuit of amendments by the counter was shown in drawing 12, it is also possible to replace with this and to consider as the configuration which adopts the judgment using a loop filter, the phase judging by the amount of average phase shifts, etc. Moreover, the updown counter which operates cyclically can also be replaced with and adopted as the updown counter 55 in drawing 12 in a part for a clock period (360 clock phases) as an amount of phase corrections. In this case, the limiter ability realized by the gates 54 and 55 and comparators 57 and 58 becomes unnecessary.

[0063] Drawing 14 shows an example of an equalization circuit and, for 60, as for a twice and a times ($a \ll 1$) as many multiplier as this and 63, an adder, and 64 and 65 are [a normalization circuit, and 61 and 62] flip-flops, respectively (1-a). The 1st amount SEL1 of amendments which the leak integrating circuit was constituted and was normalized with these multipliers 61 and 62, the adder 63, and the flip-flop 63 is equalized.

[0064] The 1st inputted amount SEL1 of amendments is normalized in the normalization circuit 60 by the amount of amendments to clock 1 period. For example, if the frequency of a clock is set to 25MHz, since one period will be set to 40ns (360 degrees), the correction value exceeding 40ns can be dealt with as amendment for less than 40ns. That is, the delay for 50ns (405 degrees) turns into delay for 10ns (45 degrees).

[0065] A flip-flop 65 is a flip-flop holding the one block period of the 2nd amount SEL2 of amendments, and operates with the block timing signal BP.

[0066] Drawing 15 shows another example of a configuration of an equalization circuit, and the bit shift circuit where 70 shifts caudad a normalization circuit, a flip-flop with [71] clear ability in an adder and 72, and 73 [4-bit], and 74 and 75 are flip-flops. Based on the result of the error correction circuit 109, a timing signal BP1 is a generating timing signal, is overdue from the block timing signal BP predetermined time, and is inputted from a controller 114. The normalization circuit 70 performs the same processing as the normalization circuit 60 in drawing 14. This circuit calculates the average of the all 1st amount SEL1 SEL1 of phase corrections of amendments in 1 block, i.e., the 1st amount of 16 pieces, and makes it the 2nd amount SEL2 of amendments. It is initialized by "0" with the initiation timing signal BP of the block inputted into the clear terminal CL of a flip-flop 71. An adder 71 adds the value held at the flip-flop, and the 1st amount SEL1 of amendments calculated for every frame. An addition result is held by updating a flip-flop 72 according to a timing signal FP for every frame, and accumulation is performed. The division of this accumulation result is caudad done to four bit shifts, $1/16$ [i.e.,], in the bit shift circuit 73. If 16-frame accumulation is carried out, according to a timing signal BP, this accumulation value carried out $1/16$, i.e., the block average, will be held at a flip-flop 74. Furthermore, according to the timing pulse BP1 of the block period which was overdue predetermined time, with a flip-flop, one block period of outputs of a flip-flop 74 is held in 75, and they are outputted as 2nd amount SEL2 of amendments from a timing signal BP.

[0067] In addition, when there is an error in the error correction circuit 109 and it is judged that correction is impossible, a timing signal BP1 is not generated.

[0068] Drawing 16 shows the example of a concrete configuration of the clock phase compensator 113. In drawing, 81 is a switch machine and is outputted to the selector 82 which chooses and mentions the 1st amount SEL1 of amendments, or the 2nd amount SEL2 of amendments later as amendment control data according to the selection signal MODE from a controller 114. 82 is a selector, according to the amount SEL of amendments from the switch machine 81, chooses one from the delay clock CLK0 - CLKm, and outputs it as an amendment clock RCLK.

Supposing the amendment control data concerned is n ($0 \leq n \leq m$) here, CLK n selection will be made [from] among the delay clock CLK0 - CLK m . 83 is the delay line, considers the playback clock PCLK as an input, and outputs $m+1$ kind of delay clock CLK0 which is the amount of delay at equal intervals - CLK m .

[0069] In addition, various modification besides the configuration shown in drawing 16 is possible for the above-mentioned phase compensator 113. For example, it is also possible to consider as the configuration which hangs the 2nd PLL on the basis of the playback clock PCLK, and carries out phase adjustment according to the 1st amount SEL1 of amendments or the 2nd amount SEL2 of amendments. Moreover, it is also possible by adding offset to the control voltage of VCO in PLL110 to carry out phase adjustment.

[0070] As mentioned above, although the gestalt of operation of this invention was explained, this invention is not restricted to the gestalt of this operation, and, otherwise, various modification is possible for it.

[0071] It is good also as a configuration which replaces with the equalization circuit 112 of above-mentioned drawing 1, and specifically determines the 2nd amount of amendments by the controller, and the starting example of a configuration is shown in drawing 17. In drawing 17, 115 is a controller and is the controller which was equipped with the same function as the controller 114 of drawing 1, and incorporated the algorithm which, in addition, determines the 2nd amount SEL2 of amendments. It becomes possible to opt for the decision of the 2nd amount SEL2 of amendments on still more complicated criteria by performing by the controller 115. For example, in the amount of average amendments of the 1st amount SEL1 of amendments in a frame with the good data playback within the same block within the block which an error cannot be and correct, and a frame with good data playback, the average of the 1st amount SEL1 of amendments in the frame of order or the 1st amount SEL1 of amendments of a just before frame, the fixed value defined beforehand can be considered.

[0072] Here, judging with the regeneration rate of the remaining headers after the phase correction processing termination whose good data playback is the known pattern which was recorded on each segment which constitutes a frame and synchronized with data, PURIRAITO, a postlight, etc. is also considered.

[0073] Moreover, a waveform equalizer 105 is arranged in the preceding paragraph of A-D converter 104, and you may make it equalize it in PR property by analog waveform equalization.

[0074] Moreover, although the magneto-optic disk of PR (1 1) method was illustrated and explained, this invention is applicable also to the record regenerative apparatus of the magneto-optic disk of other data transmission methods, and a phase change mold disk.

[0075]

[Effect of the Invention] As mentioned above, even when proper phase correction is not performed by the local defect or the poor playback of a disk in the field which recorded training data according to this invention, data can be reproduced with a proper clock.

[0076] Moreover, since the amount of amendments to the data area reproduced before it is used when a defect and poor playback occur, dispersion in clock amendment is mitigated.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-67816

(P2001-67816A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl.⁷

G 1 1 B 20/14

識別記号

3 5 1

F I

G 1 1 B 20/14

マークシート (参考)

3 5 1 A 5 D 0 4 4

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平11-243355

(22) 出願日 平成11年8月30日 (1999.8.30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 堀 吉宏

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 渡部 浩志

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

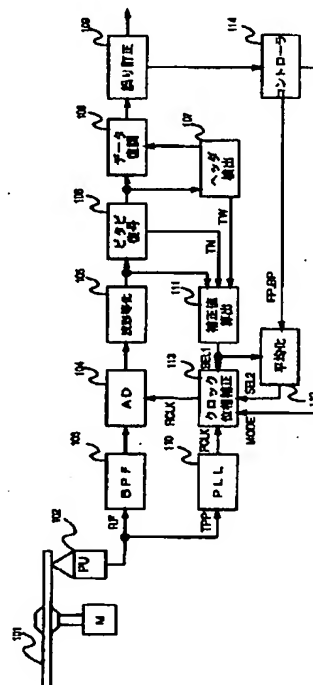
Fターム (参考) 5D044 BC01 BC03 CC04 GM03 GM14
GM19

(54) 【発明の名称】 ディスク再生装置

(57) 【要約】

【課題】 再生クロックの位相補正を行うトレーニングデータフィールドにおける局所的な欠陥や、再生不良による影響を軽減する。

【解決手段】 前記位相情報に基づきクロックを生成するクロック生成手段110と、前記クロック生成手段からのクロック信号の位相を補正するクロック位相補正手段113と、このクロック補正手段113にて補正された補正クロック信号と前記データ領域に記録されたデータとの位相ずれを補正する第1の補正量を算出し、前記クロック補正手段に供給する第1の補正量算出手段111と、第2の補正量を算出する第2の補正量算出手段112を設け、前記第1の補正量に基づき補正された補正クロック信号による前記データの再生が良好に行われな
い際、前記第2の補正量を前記クロック補正手段113に供給し、前記第2の補正量に基づき補正クロック信号を生成する。



【特許請求の範囲】

【請求項1】 クロック生成の基準となる位相情報がトラック上に形成されると共に、前記トラック上の各データ領域の先頭にデータと同期したトレーニングデータが記録されたディスクを再生するディスク再生装置であって、

前記位相情報に基づきクロックを生成するクロック生成手段と、

前記クロック生成手段からのクロック信号の位相を補正するクロック位相補正手段と、

このクロック補正手段にて補正された補正クロック信号と前記データ領域に記録されたデータとの位相ずれを補正する第1の補正量を算出し、前記クロック補正手段に供給する第1の補正量算出手段と、

第2の補正量を算出する第2の補正量算出手段を設け、前記第1の補正量に基づき補正された補正クロック信号による前記データの再生が良好に行われないうちに、前記第2の補正量を前記クロック補正手段に供給し、前記第2の補正量に基づき補正クロック信号を生成することを特徴とするディスク再生装置。

【請求項2】 前記第2の補正量が、当該データ領域より前に記録されたデータ領域に対する補正量であることを特徴とする請求項1記載のディスク再生装置。

【請求項3】 前記ディスクが、少なくとも1つ以上の前記トレーニングデータを含むデータ領域に対して、誤り訂正符号を付加したブロックを形成して記録されており、前記ディスク再生装置が、前記誤り訂正符号に基づいてデータ誤りの訂正及び検出を行う誤り訂正手段を備え、

前記誤り訂正手段の結果に基づき、前記データの再生の良否を判定することを特徴とする請求項1に記載のディスク再生装置。

【請求項4】 前記第2の補正量が、当該ブロックより前に再生したブロック内のトレーニングデータに基づき算出された前記第1の補正量の平均値であることを特徴とする請求項3記載のディスク再生装置。

【請求項5】 前記第2の補正量が、再生されたトレーニングデータの基づき算出された前記第1の補正量をリーク積分した積分値であることを特徴とする請求項3記載のディスク再生装置。

【請求項6】 前記第2の補正量が、当該ブロック内のトレーニングデータに基づき算出された前記第1の補正量の全て或いは一部をリーク積分した積分値であることを特徴とする請求項3記載のディスク再生装置。

【請求項7】 前記クロック生成手段が電圧制御発振器(VCO)を含む位相同期ループにて構成されると共に、前記クロック補正手段が前記VCOへの制御電圧にオフセットを与える手段を備え、前記オフセットを与える手段が前記第1の補正量若しくは第2の補正量に応じたオフセットを与えるようになされていることを特徴と

する請求項1乃至6のいずれかに記載のディスク再生装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、ディスクに予め記録された位相情報の再生信号に基づいて外部クロックを生成し、この外部クロックを用いてデータの再生を行うディスク再生装置に関する。

【0002】

【従来の技術】従来、光磁気ディスク等のディスク媒体においては、クロックビットやクロックマーク等の位相情報(マーク)が記録トラック上に予め形成されており、記録または再生用のクロックは、かかるクロックビットやクロックマークを再生した信号に基づいて生成されている。

【0003】図2に、予めクロックマークが形成された光磁気ディスクの一例を示す図である。かかるディスクには、螺旋状の溝(グループ)が所定のピッチで形成されており、データの記録は、このグループと、隣接するグループ間の平面部(ランド)になされる。

【0004】グループとランド上には、図2に示すように、クロックマーク(FCM: Fine Clock Mark)が放射状に並ぶように形成されている。この内、グループ上のFCMはランドと同一平面であり、ランド上のFCMはグループと同一深さの窪みである。

【0005】データの記録または再生時に、かかるFCMを光ビームが走査すると、反射ビームの強度がパルス状に変化し、その結果、反射ビームを受光するセンサ出力にてパルス信号が生じる。外部クロックは、かかるパルス信号に基づいてPLL(Phase Locked Loop)回路によって生成される。

【0006】しかしながら、このように外部位相情報によりクロックを生成すると、ディスクの温度特性や記録条件、またはディスク記録再生装置の種々の特性バラツキ等によって、生成されたクロックと再生信号との間に位相ズレが生じることがある。

【0007】そこで、1つのクロックマークとクロックマークに挟まれたデータ領域(Segment)の1つ以上を記録単位として、前記記録単位(予めディスクに記録されている1つのアドレスにて管理される領域)の先頭にデータと同期したトレーニングデータを記録しておき、このトレーニングデータの再生信号に基づいて、前記外部クロックの位相補正を行うようになされている。

【0008】この点について更に説明する。図2のように、ディスクには螺旋状にグループ(Groove)およびランド(Land)が形成されており、さらに、グループとランド上には、一定回転角毎にFCM(Fine Clock Mark)が形成されている。ここで、あるFCMから次のFCMまでをセグメント(Segment)とし、一つの記録単位としている。そして、一連のセグメントを39個集めて一つのフ

レーンが構成され、更に一連のフレームを16個集めて1つのブロックが構成される。また、前記ブロックに対して、再生データの誤りを訂正或いは検出する目的で誤り訂正符号が付加されて記録される。

【0009】図3は、上記ブロック(Block)の構成を示す図であり、各セグメントは、532DCB(Data Clock Bit)のデータ長を有する。なお、FCMが割り当てられるFCMフィールドは12DCBに設定されている。

【0010】各フレーム中の先頭セグメント(Segment 0)は、当該フレームのアドレスを記録するためのものであり、アドレスの記録は、アドレスフィールド(Addr ess)においてグループまたはランドの片側の壁面をアドレス値に応じてディスクの径方向に振幅(ウォブル)させることにより行われる。なお、当該セグメント(Segment 0)のアドレスフィールドには、光磁気効果によるデータの記録・再生は行われず、上記ウォブルによるアドレス記録のみが行われている。

【0011】先頭から2番目～39番目のセグメント(Segment 1～Segment 38)は、ヘッダーおよびユーザデータを記録するためのものである。第2番目のセグメント(Segment 1)には、FCMフィールド(FCM)、プリライトフィールド(Pre-Write)、ヘッダフィールド(Header)、データフィールド(Data)、ポストライトフィールド(Post-Write)が割り当てられる。また、第3番目～第39番目(Segment 2～Segment 38)には、FCMフィールド(FCM)、プリライトフィールド(Pre-Write)、データフィールド(Data)、ポストライトフィールド(Post-Write)が割り当てられる。各フィールドのデータクロックビット数は図示の通りである。

【0012】プリライトフィールド(Pre-Write)、ヘッダフィールド(Header)、データフィールド(Data)、ポストライトフィールド(Post-Write)には、光磁気効果を利用してデータが記録される。

【0013】上記各フィールドの内、プリライト(Pre-Write)フィールドにはデータの書き出しを示すための固定パターン、例えば“0011”のデータが記録される。また、ポストライト(Post-Write)フィールドにはデータの終結を示すための固定パターンであり、例えば“1100”のデータが記録される。さらに、データフィールドには、外部ソースからのユーザデータに対して誤り訂正符号を付加し、デジタル変調を施したデータデータ列が記録される。ヘッダーフィールドには、データフィールドの開始位置を確認するための固定パターンと再生クロックの位相補正を行うための固定パターンが記録される。位相補正のための固定パターン(トレーニングデータ)は、“1100”のデータを所定回数繰り返すことにより形成される。データの再生時に、かかるトレーニングデータを再生すると、図4に示すように、4DCB周期の正弦波状の再生RF信号が得られる。再生クロックの位相補正は、かかるトレーニングデータの再生R

F信号に基づいて行われる。

【0014】次に、位相補正の原理について図5～図7を参照して説明する。

【0015】各図に示す波形信号は、上記トレーニングデータを再生した際の再生RF信号であり、丸印は、再生クロックの発生タイミングを示している。

【0016】尚、図5はクロック位相が適正な場合、図6はクロック位相が再生RF信号に対し先行している場合、図7はクロック位相が再生RF信号に対し遅延している場合を夫々示しており、 X_{i-1} 、 X_i 、 X_{i+1} はクロックの発生タイミングでサンプリングした再生RF信号のサンプル値である。H Level、C Level、L Levelは、それぞれピーク、センタ、ボトムにおける再生RF信号レベルの期待値である。

【0017】ERRは、トレーニングデータの再生RF信号におけるセンタ付近のサンプル値 X_i と期待値C Levelとの差($ERR = X_i - C \text{ Level}$)であり、再生RF信号とクロックの位相ずれ量を表している。すなわち、クロック位相が適正な場合(図5)には、 $ERR = 0$ となり、両者の位相ずれ量は0である。これに対し、クロック位相が再生RF信号に対し先行している場合(図6)には $ERR < 0$ となり、逆にクロック位相が再生RF信号に対し遅延している場合(図7) $ERR > 0$ となる。

【0018】したがって、 $ERR < 0$ であればクロックを遅らせる方向、 $ERR > 0$ であればクロックを進める方向に制御して、図5に示す状態に近づけて行くことにより、再生RF信号とクロックとの同期をとることができるようになる。

【0019】しかしながら、トレーニングデータ領域における局所的な欠陥等によってドロップアウトが発生して再生RF信号が図8のように変形すると、これに応じてERRに乱れが生じる。例えば、図8は、クロック位相が再生RF信号に対し先行している場合(上記図7に相当)にドロップアウトが発生したものであるが、この場合には、 $ERR < 0$ となり、ドロップアウトが発生していない場合のERRとは正反対の極性を取るようになる。

【0020】また、トレーニングデータ領域の再生RF信号の特性が不良になると、図9のように変形する。これは、クロック位相が再生RF信号に対し遅延(上記図8に相当)して直流成分が残留したものであるが、この場合も、位相が遅延しているにも拘わらず $ERR > 0$ となり、本来のERRとは正反対の極性を取るようになる。

【0021】

【発明が解決しようとする課題】上述したように、トレーニングデータにより外部クロック信号の位相調整を行う方法では、当該トレーニングデータの記録部分に欠陥や、再生信号の品質の劣化等により、却って位相のズレを助長するように位相補正がなされる場合がある。

【0022】このため、上記従来の技術にあっては、位相補正がなされないデータ領域のデータを良好に再生で

きなくなるといった問題が生じる。

【0023】そこで、本発明は、データを良好に再生できる位相補正を成し得るようにせんとするものである。

【0024】

【課題を解決するための手段】上記課題を解決するために、本発明は以下の特徴を有する。

【0025】請求項1に係る発明は、クロック生成の基準となる位相情報がトラック上に形成されると共に、前記トラック上の各データ領域の先頭にデータと同期したトレーニングデータが記録されたディスクを再生するディスク再生装置であって、前記位相情報に基づきクロックを生成するクロック生成手段と、前記クロック生成手段からのクロック信号の位相を補正するクロック位相補正手段と、このクロック補正手段にて補正された補正クロック信号と前記データ領域に記録されたデータとの位相ずれを補正する第1の補正量を算出し、前記クロック補正手段に供給する第1の補正量算出手段と、第2の補正量を算出する第2の補正量算出手段を設け、前記第1の補正量に基づき補正された補正クロック信号による前記データの再生が良好に行われないうちに、前記第2の補正量を前記クロック補正手段に供給し、前記第2の補正量に基づき補正クロック信号を生成することを特徴とする。

【0026】請求項2に係る発明は、前記第2の補正量が、当該データ領域より前に記録されたデータ領域に対する補正量であることを特徴とする。

【0027】請求項3に係る発明は、前記ディスクが、少なくとも1つ以上の前記トレーニングデータを含むデータ領域に対して、誤り訂正符号を付加したブロックを形成して記録されており、前記ディスク再生装置が、前記誤り訂正符号に基づいてデータ誤りの訂正及び検出を行う誤り訂正手段を備え、前記誤り訂正手段の結果に基づき、前記データの再生の良否を判定することを特徴とする。

【0028】請求項4に係る発明は、前記第2の補正量が、当該ブロックより前に再生したブロック内のトレーニングデータに基づき算出された前記第1の補正量の平均値であることを特徴とする。

【0029】請求項5に係る発明は、前記第2の補正量が、再生されたトレーニングデータの基づき算出された前記第1の補正量をリーク積分した積分値であることを特徴とする。

【0030】請求項6に係る発明は、前記第2の補正量が、当該ブロック内のトレーニングデータに基づき算出された前記第1の補正量の全て或いは一部をリーク積分した積分値であることを特徴とする。

【0031】請求項7に係る発明は、前記クロック生成手段が電圧制御発振器（VCO）を含む位相同期ループにて構成されると共に、前記クロック補正手段が前記VCOへの制御電圧にオフセットを与える手段を備え、前

記オフセットを与える手段が前記第1の補正量若しくは第2の補正量に応じたオフセットを与えるようになされていることを特徴とする。

【0032】

【発明の実施の形態】以下、本発明の実施の形態につき図面を参照して説明する。

【0033】図1は本発明の一実施例を示すブロック図である。図において、101は図2で説明した光磁気ディスクで、信号伝送方式としてPR（パーシャルレスポンス）が採用されている。これは、光磁気ディスク101の記録密度を上げると、隣接する再生RF信号間で符号間干渉が発生するが、係る符号間干渉を防止せずに符号間干渉を持たせたまま信号を伝送する方式がパーシャルレスポンス方式である。従って、光磁気ディスク101の再生RF信号は、PR方式【例えば、PR（1，1）方式】に応じて符号間干渉した再生波形となるため、かかる再生RF信号から“1”、“0”の2値再生データを得るには、後述するように、再生RF信号のサンプル値（多値）を干渉波形に近づけるよう波形等化した後、ビタビ復号することにより達成される。

【0034】102はピックアップで、光磁気ディスク101を光学的に走査することにより、再生RF信号、タンジェンシャルプッシュプル信号（TPP）を出力する。この内、再生RF信号は、光磁気効果による再生ビームのカー回転角に応じた信号で、上記PR（パーシャルレスポンス）方式に従うものである。また、TPP信号は、ディスクから反射される反射ビームにおける走査線方向の強度分布（グループまたはランドにおける長手方向の強度分布）に応じた信号である。

【0035】103はバンドパスフィルタ（BPF）で、偏心による低周波数成分及び後述するサンプリングにおいて低域へ折り返される高域成分の除去を行う。

【0036】104はAD変換器で、バンドパスフィルタ103の出力を後述する補正クロックCLKによってサンプリングし、サンプル値（多値）のデータを出力する。

【0037】105は波形等化器で、例えばPR方式の干渉波形に近似するようにフィルタリングするトランスバーサルフィルタにて構成される。波形等化器105にて、再生RF信号は再生可能な既知の符号間干渉特性を持つデータとなる。

【0038】106はビタビ復号回路で、PR方式の波形干渉の特性を活かし、データ識別時刻以前の復号状態によって、統計的に最も確からしい値を推測する復号アルゴリズムであるビタビアルゴリズムに基づき2値化判定を行い2値データを出力する。また、ビタビ復号回路106は、復号されたデータにおける“1”から“0”への変化タイミングでタイミング信号TNを出力する。

【0039】107はヘッド検出回路で、ビタビ復号回路106にて復号された上記2値データからセグメント

(Segment) 1のヘッダーフィールドの位置を検出し、各信号処理部に対してタイミング信号を出力する。ヘッダーフィールドの検出は、ヘッダーフィールドに記録された固有パターン(データフィールドの開始位置を確認するための固定パターン)を検出することによってなされる。

【0040】108はデータ復調回路で、ヘッダー検出回路107からのタイミング信号に応じて各セグメントのデータフィールドのデータをデジタル復調する。

【0041】109は誤り訂正回路で、復調されたデータに付加されている誤り訂正符号を用いて復調データの誤り検出・訂正を行い、誤りがある場合にはデータを訂正して図示しない再生回路に出力する。尚、誤り訂正回路109は、誤り訂正符号の訂正能力を超えた誤りが発生したか否かの判定も行い、誤りの有無、訂正の可否等をコントローラ114に出力する。

【0042】110はPLL回路で、図10に示すようにTPP信号からFCMを検出するFCM検出回路41と、位相比較器42と、電圧制御発振器(VCO)43と、VCO43の出力を532分周する532進カウンタ44とより構成される。ピックアップ102からのTPP信号内のFCM再生信号に同期した再生クロックPCLKを生成する。FCMを含むTPP信号(図11参照)は、再生光ビームがFCMを走査したタイミングで正弦波形となるため、FCM検出回路41は正弦波形のゼロクロス時点で立ち上がる検出信号FAを出力し、斯かる検出信号FAは、VCO43の出力信号を532分周する532進カウンタ44からの出力信号FBと位相比較器42において位相比較される。信号FAと信号FBとの間に位相差を生じると、これを積分した直流電圧をVCOへ供給してVCO43の出力信号(再生クロック信号)の位相を調整する。これにより、PLL回路110は上記正弦波形の中央のエッジに位相が同期した再生クロックPCLKを発生することになる。

【0043】111は補正量算出回路で、ビタビ復号回路106からのタイミング信号TNに基づき波形等化器105の出力から位相ずれ量ERRを算出し、この算出した位相ずれ量ERRに応じてPLL回路110からの再生クロックPCLKに対して位相補正を行う第1の補正量SEL1を出力する。

【0044】かかる位相ずれ量の算出は、上記セグメント(Segment)1のヘッダーフィールドのトレーニングデータを再生している期間に実行される。トレーニングデータの再生期間を示すタイミング信号TWはヘッダ検出回路107から、またトレーニングデータのC Levelの値をH LevelからL Levelに向けて通過するタイミングはビタビ復号回路106からタイミング信号TNとして入力される。サンプル点(Xi)は、ビタビ復号回路106における2値データの"1"から"0"への変化点に相当する。従って、E

RRは、再生期間を示すタイミング信号TWと2値データの"1"から"0"への変化タイミングを示すタイミング信号TNが入力されたタイミングで求められる。

【0045】112は第2の補正量算出手段となる平均化回路で、補正量算出回路111からの第1の補正量SEL1を全期間或いは所定期間に平均化した補正量を算出し、1つの誤り訂正ブロック内では一定の値を示す第2の補正量SEL2として出力する。また、第2の補正量SEL2を更新する誤り訂正ブロックの開始タイミング信号BP及び第1の補正量SEL1を取り込むためのフレーム周期のタイミング信号FPは、後述するコントローラ114から入力される。

【0046】113はクロック位相補正回路で、後述するコントローラからの選択信号MODEを受けて、補正量算出回路112からの第1の補正量SEL1と、平均化回路112の出力である第2の補正量SEL2の内、いずれかを選択して、PLL回路110からの再生クロックPCLKの位相を補正して補正クロックRCLKを出力する。

【0047】114はコントローラで、マイクロプロセッサ或いはDSP(デジタルシグナルプロセッサ)等によって構成され、光磁気ディスク再生装置内の総合的な制御を行う。

【0048】コントローラ114は、外部からデータ再生の要求があると、要求されたブロックの再生を行うべくディスク再生装置内の各ユニットに対して指示する。クロック位相補正回路113に対しては、記録されたトレーニングデータによって算出される第1の位相補正量SEL1にて位相補正した補正クロックRCLKを得るように選択信号MODEによって指示する。

【0049】斯かるデータの再生は、当該ブロックに対して誤りが無いか、または誤りがあるも訂正できる場合には、終了する。

【0050】一方、訂正できない誤りが存在することを誤り訂正回路109からの出力に基づき検出した場合には、コントローラ114は再度当該ブロックの再生(リトライ)を行うよう指示する。この時、コントローラ114は、トレーニングデータの欠陥、再生不良等によって再生クロックRCLKの位相が適当でなかったと判断し、選択信号MODEを反転させ平均化回路112の出力である第2の補正量SEL2にて補正した補正クロックRCLKを出力する。

【0051】コントローラ114は、ブロックの先頭を示すタイミング信号BP及び第1の補正量SEL1を取り込むためのフレームタイミング信号FPを平均化回路112に対して出力する。

【0052】図1に示す実施例によれば、ディスク再生装置がトレーニングデータを再生しているタイミングに、例えば、図8または図9のように再生RF信号が乱れて、誤ったクロックの補正が行われたことによって、

データの再生が良好に行われなかった場合、平均化回路112に保持された、第2の補正量SEL2（当該ブロック以前に良好な再生を行えたクロックの補正量の平均値）に従って再生クロックPCLKを補正し、当該ブロックにおいても良好なクロック出力を実現できる。そして、トレーニングデータが乱れていない場合には、補正量算出回路111からの第1の補正量SEL1が選択され、各フレーム毎に求めた第1の補正量SEL1に従って再生クロックPCLKの位相が補正される。

【0053】図12は、補正量算出回路111の一例を示す図であり、51は減算器、52はゲート、53はレベル判定回路、54、55はゲート、56はアップダウンカウンタ、57、58はそれぞれ値“m”、“0”との一致／不一致を判定する比較器、59はエッジ検出回路である。

【0054】51は減算器で、入力されたサンプルデータDinから直流成分（C Level）を減算して位相ずれ量ERRを出力する。52はゲートで、ビタビ復号回路106からのサンプリングデータDinの“1”から“0”への変化点を示すタイミング信号TNと、ヘッダ検出部107からのトレーニングデータフィールドを示すタイミング信号TWを入力とし、図5～図7におけるXiの位置を示すタイミング信号を出力する。53はレベル判定回路で、ゲート52の出力である上記タイミング信号に応じて動作し、位相ずれ量ERRが所定の範囲内（即ち、データ再生に影響を与えない範囲内）にあるか、あるいは範囲以上であるか、範囲以下であるかを判定する。

【0055】例えば、AD変換器104が8ビット精度であり、RF信号がAD変換器104の有効レンジの80%程度で入力されたとし、 $nT:2T$ ($n \geq 3$)の振幅比が約5:4 (80%)であるとすると、補正クロックが ± 10 度以内の範囲に収まる所定範囲は $|ERR| \leq 16$ となる。

【0056】そして、位相ずれ量ERRが所定の範囲外にある時のみ、ゲート54、55に動作信号が出力される。この際、ERRが所定の範囲より小さい場合にはゲート54を介してアップダウンカウンタ56にアップ指令（UP）を発し、ERRが所定の範囲より大きい場合には、ゲート55を介してアップダウンカウンタ56にダウン指令（DOWN）を発する。54はゲートで、レベル判定回路51からアップ指令、且つ、比較器58からの信号がハイレベル（不一致、 $< m$ ）にある時にアップダウンカウンタ56にアップ指令を出力する。

【0057】55はゲートで、レベル判定回路51からダウン指令、且つ、比較器57からの信号がハイレベル（不一致、 > 0 ）にある時にアップダウンカウンタ56にダウン指令を出力する。

【0058】57、58は比較器で、クロック位相補正回路113にて補正可能な補正量の上限である値“m”と

下限である値“0”との比較結果をそれぞれ出力する。各比較器は、アップダウンカウンタ56の値が、0～mの範囲から逸脱しないようにするリミッタとして機能するものであり、カウンタ56の値が値“m”または“0”に達したときに制御信号を出力する。56は、アップダウンカウンタで、ゲート52から動作指令信号が入力され、且つ、レベル判定回路53からアップ指令またはダウン指令が入力されると、カウント値を1だけカウントアップまたはカウントダウンし、カウント値である第1の補正量SEL1を出力する。

【0059】59はエッジ検出回路で、タイミング信号TWに先行したタイミング信号を作り出し、アップダウンカウンタ56のINIT端子に供給する。アップダウンカウンタ56は、INIT端子にエッジ検出回路59の出力が入力されると、初期値（ $m/2$ 付近の整数値）がセットされる。即ち、トレーニングデータフィールドが検出される毎に初期値が設定されることになる。

【0060】斯かる動作について、第1の補正量の変化とERRの変化を示す図13を参照して説明する。

【0061】エッジ検出回路59からのタイミング信号がアップダウンカウンタ56のINIT端子に供給されると、第1の補正量SEL1として初期値（ $m/2$ 付近の整数値）がセットされる。そして、図5～図7におけるXiの位置を示すタイミング信号に応じてERRのレベルを判定し、アップダウンカウンタ56のカウント値を変化させる。図から明らかなように、この場合には、第1の補正量SEL1が小さくなるにつれ、ERRがゼロに収束している。

【0062】尚、図12にはカウンタによる補正量算出回路の例を示したが、これに代えて、ループフィルタを用いた判定や、平均位相ずれ量による位相判定等を採用する構成とすることも可能である。また、位相補正量としてクロック周期分（クロック位相360度）にてサイクリックに動作するアップダウンカウンタを図12におけるアップダウンカウンタ55に代えて採用することもできる。この場合には、ゲート54、55、比較器57、58にて実現されるリミッタ機能は不要になる。

【0063】図14は、平均化回路の一例を示すものであり、60は正規化回路、61、62はそれぞれ（1-a）倍、a倍（ $a \leq 1$ ）の乗算器、63は加算器、64、65はフリップフロップである。斯かる乗算器61、62、加算器63、フリップフロップ63にてリーク積分回路が構成され、正規化された第1の補正量SEL1を平均化する。

【0064】入力された第1の補正量SEL1は、正規化回路60において、クロック1周期に対する補正量に正規化される。例えば、クロックの周波数を25MHzとすると、1周期は40nsec（360度）となるため、40nsecを越える補正値は40nsec以内の補正として取り扱うことができる。即ち、50nsec

(405度)の遅延は、10nsecの遅延(45度)となる。

【0065】フリップフロップ65は、第2の補正量SEL2を1ブロック期間保持するフリップフロップであり、ブロックタイミング信号BPにて動作する。

【0066】図15は、平均化回路の別の構成例を示すものであり、70は正規化回路、71は加算器、72はクリア機能付きのフリップフロップ、73は4ビット下方にシフトするビットシフト回路、74、75はフリップフロップである。タイミング信号BP1は、誤り訂正回路109の結果に基づいて発生タイミング信号で、ブロックタイミング信号BPから所定時間遅れてコントローラ114から入力される。正規化回路70は図14における正規化回路60と同一の処理を行う。この回路は1ブロック内における第1の位相補正量SEL1の全て、即ち、16個の第1の補正量SEL1の平均値を求め、第2の補正量SEL2とするものである。フリップフロップ71のクリア端子CLに入力されたブロックの開始タイミング信号BPにて“0”に初期化される。加算器71はフリップフロップに保持された値と各フレーム毎に求められる第1の補正量SEL1を加算する。加算結果は、フレーム毎にタイミング信号FPに従ってフリップフロップ72を更新することで保持され累積加算が行われる。この累積加算結果はビットシフト回路73にて下方に4ビットシフト、即ち、1/16に除算される。16フレーム累積加算するとタイミング信号BPに従って、この1/16した累積加算値、即ち、ブロック平均値がフリップフロップ74に保持される。さらにタイミング信号BPより所定時間遅れたブロック周期のタイミングパルスBP1に従ってフリップフロップ74の出力をフリップフロップで75にて1ブロック期間保持し、第2の補正量SEL2として出力する。

【0067】尚、誤り訂正回路109にて誤りが有り且つ訂正不可と判断された場合、タイミング信号BP1は発生しない。

【0068】図16は、クロック位相補正回路113の具体的構成例を示すものである。図において、81は切り換え器で、コントローラ114からの選択信号MODEに従って、第1の補正量SEL1と第2の補正量SEL2のいずれかを選択して、後述する選択器82に補正制御データとして出力する。82は選択器で、切り換え器81からの補正量SELに応じて、遅延クロックCLK0~CLKmから1つを選択して、補正クロックRCLKとして出力する。ここで当該補正制御データがn($0 \leq n \leq m$)であるとすると、遅延クロックCLK0~CLKmの中からCLKn選択されることになる。83は遅延線で、再生クロックPCLKを入力とし、等間隔の遅延量であるm+1種類の遅延クロックCLK0~CLKmを出力する。

【0069】尚、上記位相補正回路113は、図16に

示す構成の他、種々の変更が可能である。例えば、再生クロックPCLKを基準として第2のPLLを掛け、第1の補正量SEL1又は第2の補正量SEL2に応じて位相調整する構成とすることも可能である。また、PLL110におけるVCOの制御電圧にオフセットを加えることにより位相調整することも可能である。

【0070】以上、本発明の実施の形態について説明したが、本発明はかかる実施の形態に制限されるものではなく、他に種々の変更が可能である。

【0071】具体的には、上記図1の平均化回路112に代えて第2の補正量をコントローラによって決定する構成としても良く、係る構成例を図17に示す。図17において、115はコントローラであり、図1のコントローラ114と同一の機能を備え、加えて第2の補正量SEL2を決定するアルゴリズムを組み込んだコントローラである。第2の補正量SEL2の決定をコントローラ115で実行することで、更に複雑な基準で決定することが可能になる。例えば、誤りが有り且つ訂正できないブロック内の同一ブロック内におけるデータ再生が良好なフレームにおける第1の補正量SEL1の平均補正量、データ再生が良好なフレームにおいて前後のフレームにおける第1の補正量SEL1の平均値或いは直前フレームの第1の補正量SEL1、予め定めた固定値等が考えられる。

【0072】ここで、良好なデータ再生とは、例えば、フレームを構成する各セグメントに記録されデータに同期した既知のパターンである位相補正処理終了後の残りのヘッダ、プリライト、ポストライト等の再生率によって判定することも考えられる。

【0073】また、波形等化器105をAD変換器104の前段に配置し、アナログ波形等化によってPR特性に等化するようにしても良い。

【0074】また、PR(1, 1)方式の光磁気ディスクを例示して説明したが、他のデータ伝送方式の光磁気ディスクや、相変化型ディスクの記録再生装置にも本発明を適用することができる。

【0075】

【発明の効果】以上、本発明によれば、トレーニングデータを記録した領域におけるディスクの局所的な欠陥や再生不良により、適正な位相補正が行われなかった場合でも、適正なクロックにてデータの再生を行うことができる。

【0076】また、欠陥や再生不良が発生した際には、それ以前に再生されたデータ領域に対する補正量を用いているため、クロック補正におけるばらつきが軽減される。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】光磁気ディスクの構成例を示す図である。

【図3】光磁気ディスクにおけるデータ構成例を示す図

である。

【図4】トレーニングデータの再生RF信号波形を示す図である。

【図5】位相ずれ検出原理を説明するための波形図で、再生RF信号とクロックとが同期している状態を示す図である。

【図6】位相ずれ検出原理を説明するための波形図で、再生RF信号がクロック信号よりも進んでいる状態を示す図である。

【図7】位相ずれ検出原理を説明するための波形図で、再生RF信号がクロック信号よりも送れている状態を示す図である。

【図8】位相ずれ検出原理を説明するための波形図で、トレーニングデータ領域に欠陥が生じた時の状態を示す図である。

【図9】位相ずれ検出原理を説明するための波形図で、再生RF信号特性が不良の時の状態例を示す図である。

【図10】クロック生成回路の構成例を示す図である。

【図11】クロックマークの再生波形及びクロック生成回路各部の信号波形を示す図である。

【図12】本発明に係る補正量算出回路の一例を示す図である。

【図13】第1の補正值とERRとの関係を示す図である。

めの図である。

【図14】本発明に係る平均化回路の一例を示す図である。

【図15】本発明に係る平均化回路の他の例を示す図である。

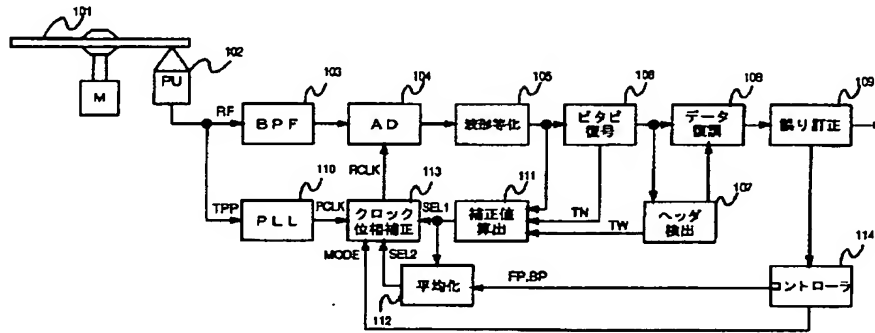
【図16】本発明に係る位相補正回路の一例を示す図である。

【図17】本発明の他の実施例を示すブロック図である。

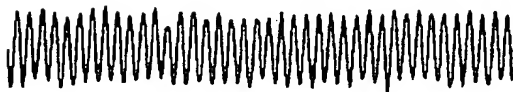
【符号の説明】

- 101 光磁気ディスク
- 102 ピックアップ
- 103 波形等化器
- 104 AD変換器
- 106 ビタビ復号回路
- 107 ヘッダ検出回路
- 108 データ復調回路
- 109 誤り訂正回路
- 110 PLL回路
- 111 補正量算出回路
- 112 平均化回路
- 113 クロック位相補正回路
- 114 コントローラ

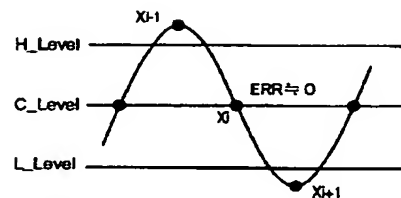
【図1】



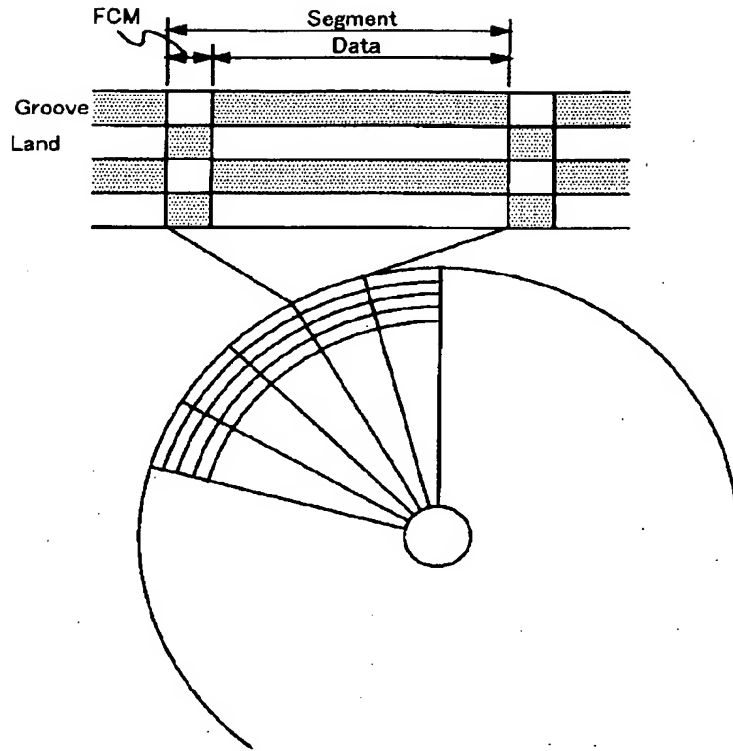
【図4】



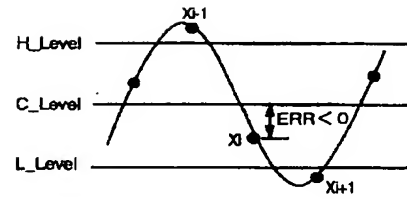
【図5】



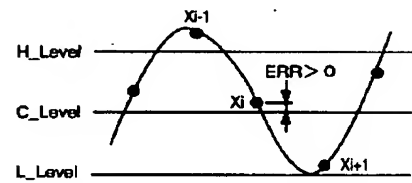
【図2】



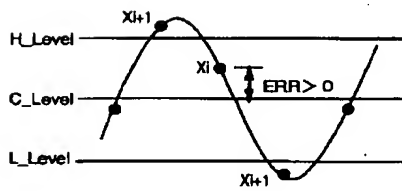
【図6】



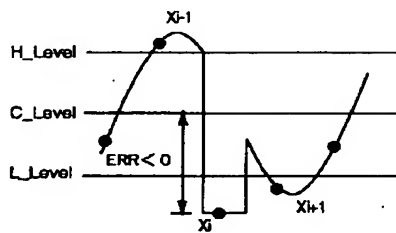
【図9】



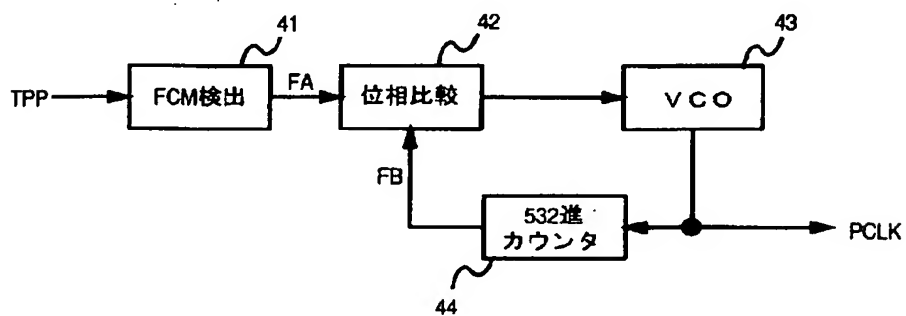
【図7】



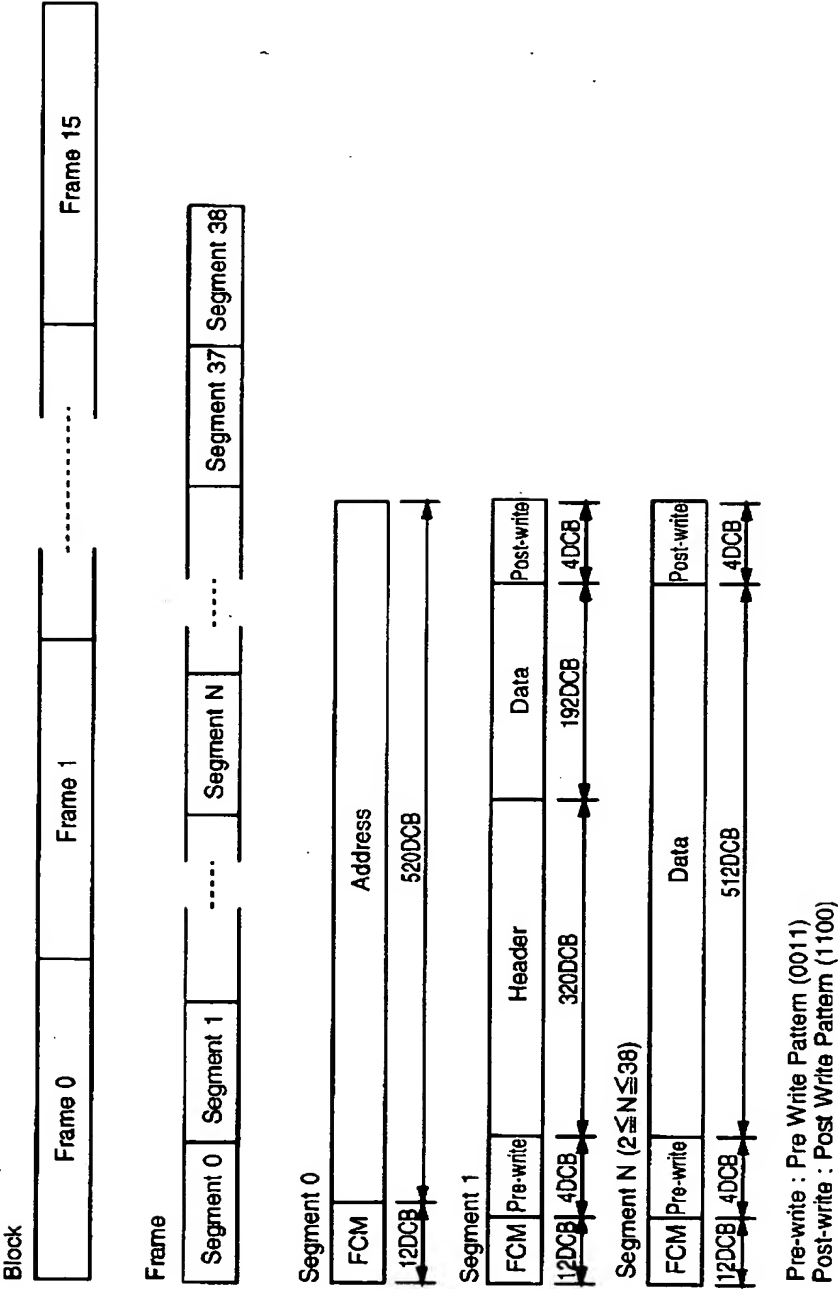
【図8】



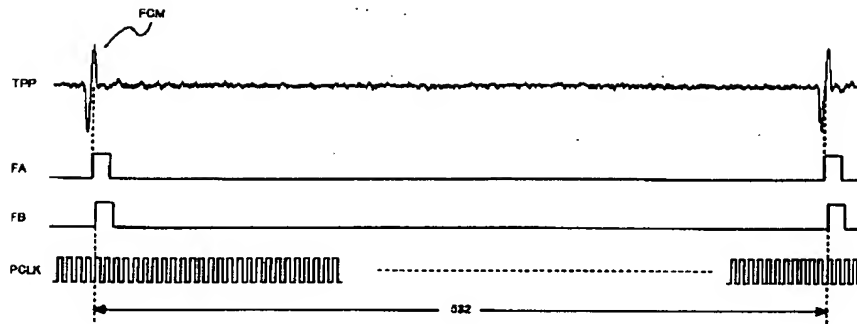
【図10】



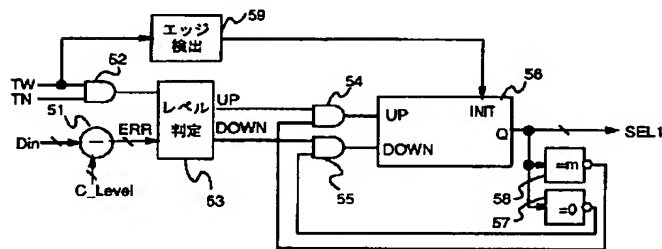
【図 3】



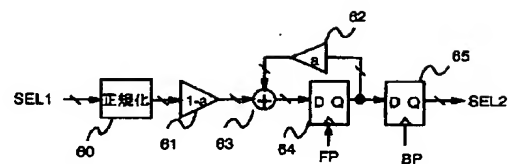
【図11】



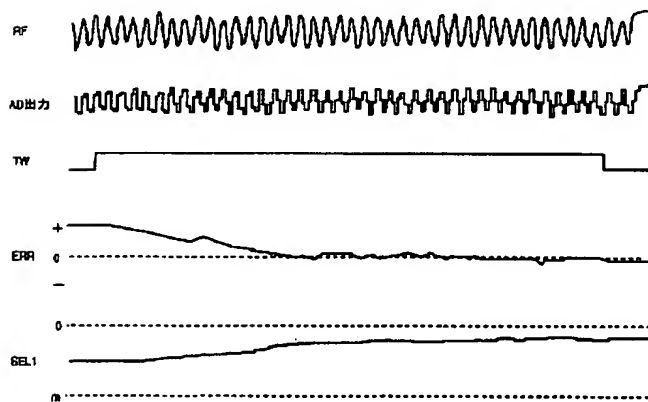
【図12】



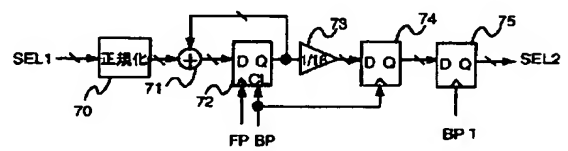
【図13】



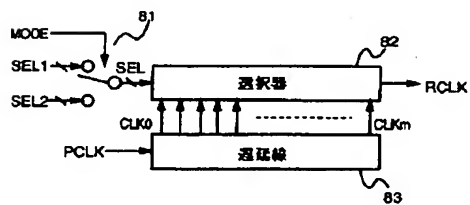
【図14】



【図15】



【図16】



【図17】

